

CLIPPEDIMAGE= JP362281435A

PAT-NO: JP362281435A

DOCUMENT-IDENTIFIER: JP 62281435 A ,

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: December 7, 1987

INVENTOR-INFORMATION:

NAME

OTSUKA, KANJI

SAWARA, KUNIZO

YAMADA, TAKEO

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP61123328

APPL-DATE: May 30, 1986

INT-CL (IPC): H01L021/60

US-CL-CURRENT: 29/827,438/FOR.369

ABSTRACT:

PURPOSE: To make possible further multifirmity of pins and obtain not only reduced heat resistance but also more reliable package by forming a metal connection terminal in a semiconductor element according to a nailheading system and connecting the semiconductor element to a substrate according to flip chip system.

CONSTITUTION: An assembly where a semiconductor element 1 is joined to a heat sink 2 is joined to a substrate 5 for interconnection according to a flip chip system and junctions 6 between the element 1 and substrate 5 are coated with a

silicon gel 10. For instance, Au wire 2 is passed in a nozzle 1 and a ball is made of the above metal wire 2 by burning off its wire with hydrogen flame 3. The Au ball 4 is stuck on a bonding pad 7 of Al interconnection 6 of semiconductor element 5 together by pressing. After that, Au wire 2 is cut at an adequate position to directly form a metal connection terminal 4 on the bonding pad 7. Furthermore, the semiconductor element 5 contacts a metal part 12 that is composed of solder protruded on the surface of substrate 11 to complete a connection by melting Au ball 4 and solder 12.

COPYRIGHT: (C)1987, JPO&Japio

⑤ Int.Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和62年(1987)12月7日

H 01 L 21/60

6918-5F

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体装置

⑰ 特 願 昭61-123328

⑱ 出 願 昭61(1986)5月30日

⑲ 発 明 者 大 塚 寛 治 青 梅 市 今 井 2326 番 地 株 式 会 社 日 立 製 作 所 デ バ イ ス 開 発 セ
ン タ 内
⑲ 発 明 者 佐 原 邦 造 青 梅 市 今 井 2326 番 地 株 式 会 社 日 立 製 作 所 デ バ イ ス 開 発 セ
ン タ 内
⑲ 発 明 者 山 田 健 雄 青 梅 市 今 井 2326 番 地 株 式 会 社 日 立 製 作 所 デ バ イ ス 開 発 セ
ン タ 内
⑲ 出 願 人 株 式 会 社 日 立 製 作 所 東 京 都 千 代 田 区 神 田 駿 河 台 4 丁 目 6 番 地
⑲ 代 理 人 弁 理 士 小 川 勝 男 外 1 名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 半導体素子のボンディングパッドに、直接、
ネイルヘッド方式による金属接続端子を形成し、
当該半導体素子を接続する側の基板に、前記接
続端子の金属との間で共晶合金を形成する金属
部を突設し、フリップチップ方式により当該半
導体素子を当該基板に接続して成る構造を有す
る半導体装置。
2. ネイルヘッド方式による金属接続端子の形成
が、金線の端部を溶融して得られた金ボールを、
直接、半導体素子のボンディングパッドに接続
後、当該金属の切断を行なうことより成り、か
つ、基板の金属部が半球状の半田より成る、特
許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置に関し、特に、フリップ

チップによる半導体素子のボンディング技術の改
良に関する。

〔従来の技術〕

半導体素子はその内部配線を外部のものと接続
してはじめてその機能をはたすことができる。

半導体素子は多数の外部への接続端子をもつて
おり、その外部のものと接続方式にはワイヤボ
ンディング方式の他、ワイヤレス方式もあり、後
者の一方式としていわゆるフリップチップによる
接続方法がある。このフリップチップとは、一般
に、半導体素子(チップ)を裏返しにしてその表
面または基板に形成された接続端子を用いてボン
ディングする、いわゆるフェイスダウンボンディ
ングすることから与えられた呼称であり、フリッ
プチップにはその接続端子の形態によって、チッ
プに金属ボールをつけるボール方式、A₈あるい
はA₉などの合金により突起電極をつけるバンプ
方式あるいは基板にベデスタルをつけるベデス
タル方式などがある。

これらのボール方式やバンプ方式は、いずれも、

一般に、内部配線（A_θ電極配線である場合が多い）を形成したプレーナー素子（ウェハ）に保護膜を形成し、該保護膜を除去して接続端子用窓をあけ、上記内部配線に、例えばCr-Cu-Auよりバリア金属をそれぞれ蒸着して多層に形成した上で、パンプ部分を残してエッチング除去し、さらに、例えばマスク蒸着により、半田（Sn-Pb）パンプを形成する。これらの方式として一般に最も採用されているのは、コントロールド・コラップス（リフローチップ）であり、この方式によるチップボンディングはいわゆるCCB（コントロールド・コラップス・ボンディング）接続と称されている。

しかし乍ら、これらの方式は、上記のように接続端子完成までに時間がかかり過ぎ、例えば14日間位もの日数を要している。

なお、フリップチップについて述べた文献の例としては、1980年1月15日樹工業調査会発行「IC化実装技術」P81があげられる。

〔発明が解決しようとする問題点〕

線）を通し、該Au線を、水素炎で焼き切り、その先端部を溶融し、Auボールを形成し、これをチップの内部配線（A_θ配線）の前記ボンディングパッド上に押付け接合させ、次いで、適当のところでAu線を切断する。これにより、チップのボンディングパッドに直接金属接続端子が形成され、基板側にはこの接続端子の金属がその中に拡散できる金属部を突設しておく。この金属部は、例えば半田より構成される。

前記金属接続端子と金属部とを溶融させると、例えばAu-Sn共晶合金が形成され、接合を行なうことができる。

〔作用〕

このように、ネイルヘッド方式を利用し、バリア金属を介さずに、直接、A_θボンディングパッド上に、A_θボールなどよりなる金属接続端子を形成することにより、従来方式に比して工程数が簡略化され、したがって、工期も著しく短縮され、この接続端子の形成は、例えば0.2秒程度で行なうことができる。基板との接合も、一日程度

本発明はかかる従来技術の有する欠点を解消し、短時間に接続端子を形成し、基板との接続が短時間に行なうことができ、特に、CCB接続の場合の欠点を解消することができる技術を提供することを目的とする。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、本発明では、ワイヤボンディングに使われている熱圧着法（ネイルヘッドボンディング）を、その接続端子の形成に利用したもので、半導体素子のワイヤボンディングに際し、外部リードを取付ける場所であるボンディングパッドに、従来のボール方式やパンプ方式と異なり、直接、当該ネイルヘッド方式による金属接続端子を形成する。その例は、ノズル中に金属線（例えばAu

で行なうことができる。

〔実施例〕

次に、本発明を実施例に基づき、図面を参照しつつ説明する。

第4図に示すように、ノズル1の中に、Au線2を通し、この金線2を水素焰3で焼き切ってきたボール（玉）4を、半導体素子5の上にもってきて、A_θ配線6のボンディングパッド7の上に押付けする。

半導体素子5は、デバイス8上に、例えばSiO₂膜よりなる絶縁膜9を被覆し、該絶縁膜9上にA_θ電極配線6が敷設され、さらに、例えばガラス膜より成るデバイス表面保護膜10が該配線6上に被覆され、該保護膜10にはホトレジスト技術などにより電極用窓がかけられ、ボンディングパッド7が形成されている。半導体素子（チップ）5は、例えばシリコン単結晶基板から成り、周知の技術によってこのチップ内には多数の回路素子が形成され、1つの回路機能が与えられている。回路素子の具体例は、例えばMOSトランジスタか

ら成り、これらの回路素子によって、例えば論理回路およびメモリの回路機能が形成されている。

上記Auボール4の接合后、Au線2を適宜位置で切断する。

これにより、第1図に示すように、半導体素子5のボンディングパッド7には、Auボールよりなる金属接続端子4が、該パッド7上に直接形成される。

一方、基板との接続においては、当該半導体素子5を、第2図に示すように、フェイスダウンボンディングにて、基板11表面に突設された例えば半田(Sn-Pb)よりなる金属部12に当接し、当該Auボール4と当該半田12とを溶融させて、第3図に示すように、その接続を完成させる。

半田12中にはAuが拡散し、Au-Sn共晶合金が形成される。

基板11は、例えばプリント配線基板より成り、図示していないが、基板表面には導体パターンが形成されている。

パッケージベース16の上には、当該半導体素子5を接続した配線基板13が接合材料19により固着されている。

パッケージベース16上には、ポッティング枠20を接合材料21により取付し、該ポッティング枠20に、封止材22をポッティングする。該封止材22は、例えばシリコンゲルより成る。

ポッティング枠20上には、接合材料23を用いて、キャップ24を取付けする。

第6図は、第5図に示すものと同様の材料を用いて構成した半導体装置を示す。ただ、この装置では、アウターリード25をデュアルインライン(DIL)様に引出し、さらに、同図に示すように、パッケージベース16の一方の面に放熱フィン26を取付している。

本発明によれば、第4図に示すように、ネイルヘッド方式によりAuボール4を形成して、半導体素子5のボンディングパッド7に直接、金属接続端子を形成し、これを基板11の半田よりなる半球状金属部12に接続する方式をとったので、

これら、半導体素子5と基板11との接続は各種の態様であり得る。

第5図および第6図にその態様による半導体装置の二三の例を示す。

なお、これらの図において、第1図～第4図を含めて共通する符号は同一の機能を示す。

第5図に示すように、配線基板13上に、半導体素子5をマルチに搭載する。半導体素子5と配線基板13との接続は前記で述べた本発明による方式により行われている。第5図にて、14は当該方式による接合部で、四角形状の半導体素子5の裏面において基盤目状に前記Auボール4が形成されており、接合部14も複数個所において形成されている。

配線基板13は、例えばウェハに配線を施したもので、該配線基板13の導体部15と、パッケージベース16の裏面に垂設されたアウターリード17とは、コネクタワイヤ18などを介して電気的に接続されている。このパッケージは図示のごとく、アキシアルタイプに構成されている。

Auボール4は例えば0.2秒/ボールの高スピードで形成でき、また、バリヤー金属を介さず、したがって、短時間で接続端子が形成され、それに伴ない、基板11との接合も短時間で成りうることができる。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば前記実施例ではAuボールを形成する例を示したが、Cuボールなど他の金属や合金でもよい。

また、基板の金属部にあっても、半田のほかSnなどの金属や合金により構成されていてもよい。

本発明による接続方式はテープキャリアなどの他の接続方式にも適用することができる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下

配のとうりである。

すなわち本発明によれば短時間に半導体素子と基板との接続を行なうことができ、従来例に比して大巾に素子の接続端子の形成、外部のものとの接続時間の短縮をはかることができた。

4. 図面の簡単な説明

第1図は本発明による接続端子を有する半導体素子の要部一例断面図、

第2図は基板との接続前説明断面図、

第3図は同接続後の説明断面図、

第4図は本発明実施例による接続端子形成説明一部断面図、

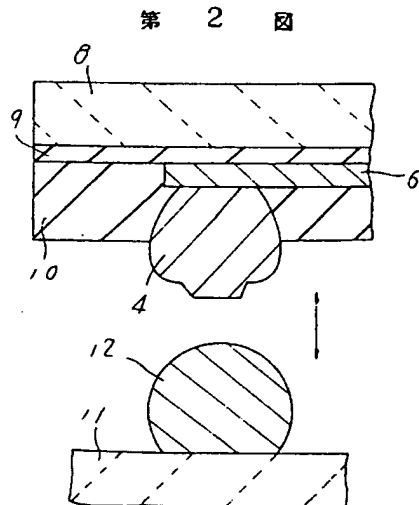
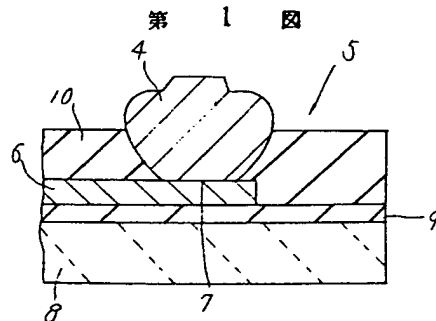
第5図は本発明による接続形式を用いた半導体装置の一例断面図、

第6図は同他の例を示す断面図である。

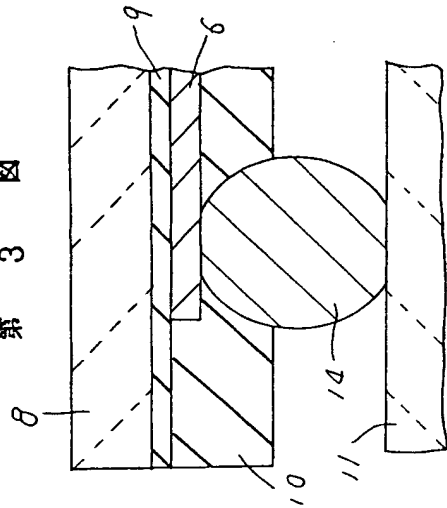
1…ノズル、2…金属線(Au線)、3…水素焰、4…金属接続端子(Auボール)、5…半導体素子、6…内部配線(Au配線)、7…ボンディングパッド、8…デバイス、9…絶縁膜、10…デバイス表面保護膜、11…基板、12…金属

部、13…配線基板、14…接合部、15…導体部、16…パッケージベース、17…アウターリード、18…コネクタワイヤ、19…接合材料、20…ポッティング枠、21…接合材料、22…封止材、23…接合材料、24…キャップ、25…アウターリード、26…放熱フィン。

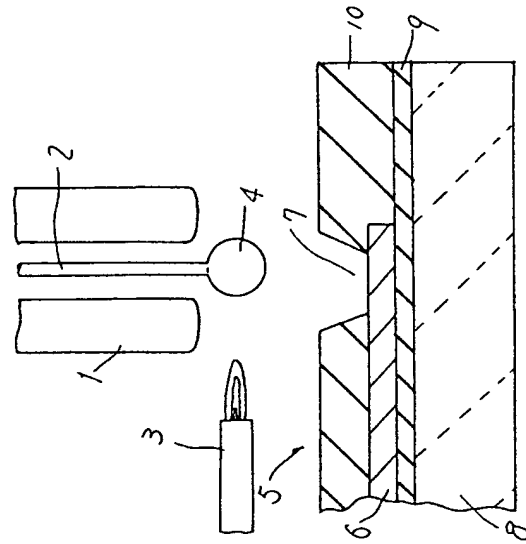
代理人 弁理士 小川 勝 男



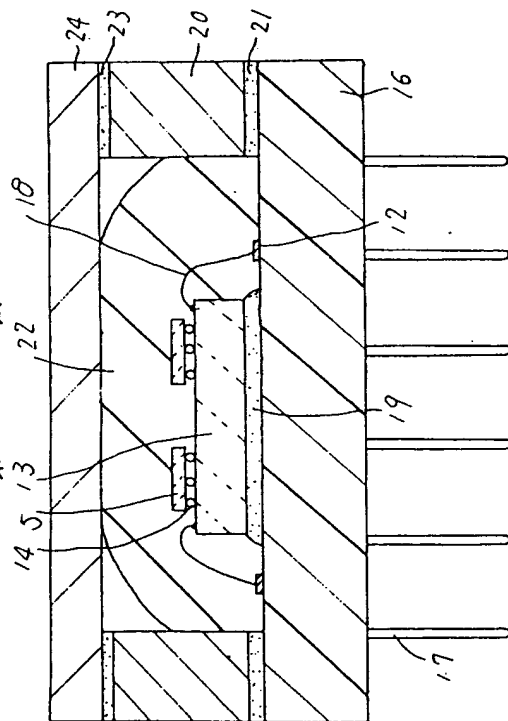
第 3 図



第 4 図



第 5 図



第 6 図

